

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

SE-JUN KIM, ET AL.

Application No.:

Filed:

For: **ANALOG DELAY LOCKED LOOP  
HAVING DUTY CYCLE CORRECTION  
CIRCUIT**

Art Group: Unknown

Examiner: To Be Determined

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	10-2003-0001729	10 January 2003

A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Farzad E. Amini, Reg. No. 42,261

Dated: December 31, 2003

12400 Wilshire Boulevard, 7th Floor  
Los Angeles, CA 90025  
Telephone: (310) 207-3800



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0001729  
Application Number

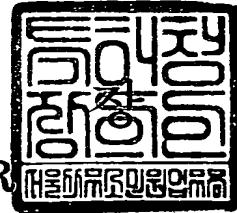
출원년월일 : 2003년 01월 10일  
Date of Application JAN 10, 2003

출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003년 10월 24일

특허청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.01.10
【발명의 명칭】	듀티 보정 회로를 구비한 아날로그 지연고정루프
【발명의 영문명칭】	Analog delay locked loop having duty correction circuit
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	김세준
【성명의 영문표기】	KIM, Se Jun
【주민등록번호】	740209-1069419
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동 까치마을 선경아파트 107-1002
【국적】	KR
【발명자】	
【성명의 국문표기】	홍상훈
【성명의 영문표기】	HONG, Sang Hoon
【주민등록번호】	700930-1064113
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 신하리 청구아파트 101-1302
【국적】	KR
【발명자】	
【성명의 국문표기】	고재범
【성명의 영문표기】	KO, Jae Bum
【주민등록번호】	760926-1026025

【우편번호】 131-208  
【주소】 서울특별시 중랑구 면목8동 2-8 3층 6/6  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인  
특허법인 신성 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 19 면 19,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 12 항 493,000 원  
【합계】 541,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

### 【요약서】

#### 【요약】

본 발명은 반도체 회로 기술에 관한 것으로, 특히 아날로그 지연고정루프(delay locked loop, DLL)에 관한 것이며, 더 자세히는 듀티 보정 회로(이하, DCC라 함)를 구비한 아날로그 DLL에 관한 것이다. 본 발명은 보상 가능한 듀티 에러의 범위가 넓고, 듀티 보상량 증가에 따른 초기 지연고정 시간의 증가를 억제할 수 있는 지연고정루프를 제공하는데 그 목적이 있다. 본 발명은 피드백 탑입의 듀티 보정 방식과 피드포워드 탑입의 듀티 보정 방식을 혼용하는 계층적 지연라인 구조를 가지는 아날로그 DLL을 제안한다. 본 발명은 피드포워드 탑입의 듀티 보정 방식에 의해 듀티 보상량 증가에 따른 초기 지연고정 시간의 증가를 억제할 수 있으며, 피드백 탑입의 듀티 보정 방식에 의해 피드포워드 탑입의 듀티 보정 후에도 잔존하는 미세 듀티 에러를 제거함으로써 보상 가능한 듀티 에러의 범위를 넓힐 수 있다.

#### 【대표도】

도 3

#### 【색인어】

아날로그 지연고정루프, 계층적 지연라인, 듀티 보정 회로, 피드포워드 방식, 피드백 방식

### 【명세서】

#### 【발명의 명칭】

듀티 보정 회로를 구비한 아날로그 지연고정루프{Analog delay locked loop having duty correction circuit}

#### 【도면의 간단한 설명】

도 1은 종래기술에 따른 DCC를 구비한 DLL의 블럭 다이어그램.

도 2는 피드백 탑입의 DCC를 구비한 DLL의 출력단의 회로도.

도 3은 본 발명의 일 실시예에 따른 계층적 지연라인을 구비한 아날로그 DLL의 블럭 다이어그램.

도 4는 상기 도 3의 레퍼런스 지연라인의 상세 회로를 예시한 도면.

도 5a 및 도 5b는 상기 도 4의 레퍼런스 지연라인으로부터 출력된 멀티 위상 클럭의 타이밍 다이어그램.

도 6은 상기 도 3의 클럭 인터페이스(320)의 상세 블럭 다이어그램.

도 7은 상기 도 6의 i:1 멀티플렉서의 회로 구성을 예시한 도면.

도 8은 상기 도 6의 위상 혼합기의 회로 구성을 예시한 도면.

도 9는 상기 도 3의 듀티 보정 증폭기의 회로 구성을 예시한 도면.

도 10a 및 도 10b는 외부 클럭의 듀티 에러의 방향성과 위상 혼합기의 입력 클럭의 폴링 에지의 위상 관계에 따른 바이어스 스위치의 선택예를 설명하기 위한 파형도.

\* 도면의 주요 부분에 대한 부호의 설명

310 : 레퍼런스 지연라인

320 : 클럭 인터페이스

330 : 4-위상 멀티플렉서

340 : 위상 혼합기

350 : 파인 지연라인

360 : 듀티 보정 증폭기

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 반도체 회로 기술에 관한 것으로, 특히 아날로그 지연고정루프(delay locked loop, DLL)에 관한 것이며, 더 자세히는 듀티 보정 회로(이하, DCC라 함)를 구비한 아날로그 DLL에 관한 것이다.

<19> 통상적으로, 클럭 동기 시스템에서 클럭은 동작 타이밍을 맞추기 위한 레퍼런스로 사용되고 있으며, 에러(error) 없이 보다 빠른 동작을 보장하기 위해서 사용되기도 한다. 외부로부터 입력되는 클럭이 내부에서 사용될 때 내부 회로에 의한 시간 지연(clock skew)이 발생하게 되는데, 이러한 시간 지연을 보상하여 내부 클럭이 외부 클럭에 동기시키기 위하여 DLL, 위상 고정루프(PLL) 등의 클럭 동기화 회로가 사용되고 있다.

<20> 한편, DLL은 기존에 사용되어 온 PLL에 비해 잡음(noise)의 영향을 덜 받는 장점이 있어 DDR SDRAM(Double Data Rate Synchronous DRAM)을 비롯한 동기식 반도체 메모리에서 널리 사

용되고 있으며, 지역 제어 방식에 따라 아날로그 DLL, 디지털 DLL, 레지스터 제어 DLL(register controlled DLL) 등으로 분류되고 있다.

- <21> 한편, 고속 클럭의 상승 에지와 하강 에지에서 모두 입출력을 수행하는 시스템에서 충분한 입출력 데이터 유효 윈도우를 확보하기 위해서는 50%의 듀티비를 유지하는 것이 매우 중요하다. 이처럼 외부 클럭의 듀티비에 관계 없이 항상 50%의 듀티비를 갖는 클럭을 생성하거나, 원치 않는 클럭의 듀티 변경을 보상하기 위하여 DLL 내부에 듀티 보정 회로(DCC)를 적용하고 있다. 통상적으로 DLL의 출력단에 피드백 탑입의 DCC를 배치하고 있다.
- <22> 도 1은 종래기술에 따른 DCC를 구비한 DLL의 블럭 다이어그램이다.
- <23> 도 1을 참조하면, 종래기술에 따른 DCC를 구비한 DLL(100)은 외부 클럭(CLK)의 라이징 에지를 이용하여 생성된 내부 클럭(iclk)을 입력 받아 DLL 클럭(dll\_clk)을 생성하기 위한 DLL 드라이버(110)를 구비하며, DLL 드라이버(110)는 DLL 클럭(dll\_clk)을 피드백 받아 DLL 클럭(dll\_clk)의 듀티비를 조절하게 된다.
- <24> 도 2는 피드백 탑입의 DCC를 구비한 DLL의 출력단의 회로도이다.
- <25> 도 2를 참조하면, 피드백 탑입의 DCC를 구비한 DLL의 출력단은 내부 클럭(iclk)과 피드백과 기준전압(Vref)을 입력으로 하는 차동증폭부(112)와, 차동증폭부(112)의 출력을 버퍼링하기 위한 버퍼(114)와, 버퍼(114)로부터 출력된 DLL 클럭(dll\_clk)을 입력 받아 전하 펌핑 동작을 수행하는 전하 펌프(116)와, 전하 펌프(116)의 출력단에 접속된 캐패시터(C)를 구비한다.
- <26> 도시된 회로는 50%의 듀티비를 가지는 클럭의 경우, 클럭의 하이 상태 구간과 로우 상태 구간의 총 전류량의 차이가 '0'이라는 점을 이용하는 방식이다. DLL 클럭(dll\_clk)을 인가 받은 전하 펌프(116)는 전하 펌핑 동작을 수행하고, 그에 따라 전하 펌프(116)에서 출력되는 전

류가 캐패시터(C)에 충전된다. 캐패시터(C)에 충전된 전류는 다시 전압값(Vref)으로 차동증폭부(112)에 피드백되어 스몰 스윙을 하는 버퍼(114) 내의 신호에 대한 공통 모드 레벨을 변화시켜 DLL 클럭(dll\_clk)의 듀티비가 50%로 보정되도록 한다.

<27> 그러나, 이러한 듀티 보정 방식은 피드백 방식을 사용하기 때문에 듀티 보상량이 증가함에 비례하여 필요한 DLL의 초기 지연고정 시간이 증가하는 문제점이 있었다.

<28> 한편, 이러한 피드백 듀티 보정 방식의 문제점을 해결하기 위하여 계층적 지연라인 구조를 가지는 아날로그 DLL에서 피드포워드 방식으로 듀티 보정을 수행하는 기술이 제안된 바 있으나, 이 경우에는 듀티 에러가 증가함에 따라 비선형성이 확대되는 것에 기인하여 미세한 듀티 에러가 존재하는 문제점이 있었다.

#### 【발명이 이루고자 하는 기술적 과제】

<29> 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 보상 가능한 듀티 에러의 범위가 넓고, 듀티 보상량 증가에 따른 초기 지연고정 시간의 증가를 억제할 수 있는 지연고정루프를 제공하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

<30> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 내부 클럭을 입력 받아 노말 멀티 위상 클럭과 더미 멀티 위상 클럭을 출력하기 위한 레퍼런스 지연라인; 상기 레퍼런스 지연라인과 함께 레퍼런스 루프를 이루며, 레퍼런스 클럭과 마지막 멀티 위상 클럭의 위상을 비교하여 두 클럭의 위상차가  $180^\circ$ 가 되도록 상기 레퍼런스 지연라인의 지연량을 조절

하기 위한 레퍼런스 제어 수단; 지연고정된 상기 레퍼런스 지연라인으로부터 출력된 클럭 중 하나의 노말 멀티 위상 클럭 및 더미 멀티 위상 클럭을 선택하고 선택된 두 클럭의 위상을 혼합하여 듀티 보정을 수행하기 위한 클럭 인터페이스; 상기 클럭 인터페이스로부터 출력된 클럭을 입력으로 하는 파인 지연라인; 상기 파인 지연라인의 출력에 대해 실제 클럭 경로의 지연값을 모사하기 위한 지연 모델; 상기 지연 모델 및 상기 파인 지연라인과 함께 파인 루프를 이루며, 상기 지연 모델로부터 출력된 피드백 클럭과 상기 레퍼런스 클럭을 비교하여 상기 파인 지연라인의 지연량을 제어하기 위한 파인 제어 수단; 상기 레퍼런스 클럭 및 상기 피드백 클럭을 인가 받아 상기 클럭 인터페이스를 제어하기 위한 제어 수단; 및 지연고정된 상기 파인 지연라인의 출력 클럭을 입력 받아 상기 클럭 인터페이스의 듀티 보정 동작을 보조하기 위한 듀티 보정 증폭 수단를 구비하는 아날로그 지연고정루프가 제공된다.

<31> 본 발명은 피드백 타입의 듀티 보정 방식과 피드포워드 타입의 듀티 보정 방식을 혼용하는 계층적 지연라인 구조를 가지는 아날로그 DLL을 제안한다. 본 발명은 피드포워드 타입의 듀티 보정 방식에 의해 듀티 보상량 증가에 따른 초기 지연고정 시간의 증가를 억제할 수 있으며, 피드백 타입의 듀티 보정 방식에 의해 피드포워드 타입의 듀티 보정 후에도 잔존하는 미세 듀티 에러를 제거함으로써 보상 가능한 듀티 에러의 범위를 넓힐 수 있다.

<32> 이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.

<33> 도 3은 본 발명의 일 실시예에 따른 계층적 지연라인을 구비한 아날로그 DLL의 블럭 다이어그램이다. 도시된 아날로그 DLL은 외부 클럭(CLK, /CLK)을 버퍼링하는 클럭 버퍼(300)의 출력을 이용한다. 클럭 버퍼(300)는 외부 클럭(CLK, /CLK)의 라이징 에지를 이용하여 내부 클

렉(PH<0>, PH<0>b)과 레퍼런스 클럭(ref\_clk)을 출력한다. 레퍼런스 클럭(ref\_clk)은 내부 클럭(PH<0>)과 동일한 위상을 가지며, 내부 클럭(PH<0>) 자체를 레퍼런스 클럭(ref\_clk)으로 사용할 수 있다.

<34>      도 3을 참조하면, 본 실시예에 따른 계층적 지연라인을 구비한 아날로그 DLL은, 내부 클럭(PH<0>, PH<0>b)을 입력 받아 노말 멀티 위상 클럭(PH<1:i>, PH<1:i>b)과 더미 멀티 위상 클럭(PHD<1:i>, PHD<1:i>b)을 출력하기 위한 레퍼런스 지연라인(310)과, 레퍼런스 지연라인(310)과 함께 레퍼런스 루프를 이루며, 레퍼런스 클럭(ref\_clk)과 멀티 위상 클럭 PH<i>b의 위상을 비교하여 두 클럭의 위상차가  $180^\circ$ 가 되도록 레퍼런스 지연라인(310)의 지연량을 조절하기 위한 레퍼런스 제어부(315)와, 지연고정된 레퍼런스 지연라인(310)으로부터 출력된 클럭 중 하나의 노말 멀티 위상 클럭 및 더미 멀티 위상 클럭을 선택하고 선택된 두 클럭의 위상을 혼합하여 듀티 보정을 수행하기 위한 클럭 인터페이스(320)와, 클럭 인터페이스(320)로부터 출력된 혼합 클럭(MIX\_clk, MIX\_clkb)을 입력으로 하는 파인 지연라인(350)과, 파인 지연라인(350)의 출력을 증폭하여 DLL 클럭(dll\_clk)을 생성하기 위한 차동증폭기(352)와, 실제 클럭 경로의 지연값을 모사하기 위한 지연 모델(354)과, 지연 모델(354) 및 파인 지연라인(350)과 함께 파인 루프를 이루며, 지연 모델(354)로부터 출력된 피드백 클럭(fb\_clk)과 레퍼런스 클럭(ref\_clk)을 비교하여 파인 지연라인(350)의 지연량을 제어하기 위한 파인 제어부(356)와, 레퍼런스 클럭(ref\_clk) 및 피드백 클럭(fb\_clk)을 인가 받아 클럭 인터페이스(320)를 비롯한 DLL 전체를 제어하기 위한 FSM(finite state machine)(370)과, 지연고정된 파인 지연라인(350)의 출력 클럭을 입력 받아 클럭 인터페이스(320)의 듀티 보정 동작을 보조하기 위한 듀티 보정 증폭기(360)를 구비한다.



1020030001729

출력 일자: 2003/10/29

- <35> 여기서, 클럭 인터페이스(320)는 4-위상 멀티플렉서(330) 및 위상 혼합기(340)를 구비하는 바, 이에 대해서는 후술하기로 한다.
- <36> 한편, 레퍼런스 제어부(315)는 통상의 아날로그 DLL에 포함되는 위상 검출기, 차지 펌프, 루프 필터(이상 도시되지 않음)를 포함하며, 루프 필터의 캐패시터에 걸린 전압( $V_c$ )을 이용하여 레퍼런스 지연라인(310)을 제어한다. 파인 제어부(356) 역시 레퍼런스 제어부(315)와 유사한 구성을 가진다.
- <37> 도 4는 상기 도 3의 레퍼런스 지연라인(310)의 상세 회로를 예시한 도면이다.
- <38> 도 4를 참조하면, 레퍼런스 지연라인(310)은 내부 클럭( $PH<0>$ ,  $PH<0>b$ )을 입력으로 하며, 직렬 연결된  $i$ 개의 차동 지연 셀(differential delay cell)(NDEL1, NDEL2, …, NDEL $i$ )을 구비하는 노말 지연라인(312)과, 노말 지연라인(312)의 마지막 출력( $PH<i>$ ,  $PH<i>b$ )을 크로스 입력 받으며, 직렬 연결된  $i$ 개의 차동 지연 셀(DDEL1, DDEL2, …, DDEL $i$ )을 구비하는 더미 지연라인(314)을 구비한다.
- <39> 노말 지연라인(312)과 더미 지연라인(314)을 이루는 각각의 차동 지연 셀은 레퍼런스 제어부(315)의 루프 필터의 캐패시터에 걸린 전압( $V_c$ )에 의해 그 지연량이 결정된다.
- <40> 참고적으로, 파인 지연라인(350) 역시 다수의 차동 지연 셀로 구현할 수 있다.
- <41> 도 5a 및 도 5b는 상기 도 4의 레퍼런스 지연라인(310)으로부터 출력된 멀티 위상 클럭의 타이밍 다이어그램이다.
- <42> 먼저, 도 5a는 외부 클럭(CLK, /CLK)의 드ュ티비가 정확히 50%인 경우를 나타낸 것으로, 내부 클럭( $PH<0>$  및  $PH<0>b$ )은 노말 지연라인(312)의  $i$ 개의 노말 차동 지연 셀(NDEL1~NDEL $i$ )을 통해 순차 지연된 노말 멀티 위상 클럭( $PH<1:i>$  및  $PH<1:i>b$ )으로 출력되며, 노말 지연라



1020030001729

출력 일자: 2003/10/29

인(312)의 마지막 차동 지연 셀(NDELi)의 노말 멀티 위상 클럭(PH<i> 및 PH<i>b)은 더미 지연라인(314)의 첫 번째 차동 지연 셀(DDEL1)로 크로스 입력되어 i개의 더미 차동 지연 셀(DDEL1~DDELi)을 통해 순차 지연된 더미 멀티 위상 클럭(PHD<1:i> 및 PHD<1:i>b)으로 출력된다.

<43> 레퍼런스 제어부(315)의 위상 검출기는 레퍼런스 클럭(ref\_clk)과 노말 지연라인(312)의 마지막 차동 지연 셀(NDELi)의 노말 멀티 위상 클럭(PH<i>b)의 위상을 비교하게 된다. 따라서, 지연고정이 되면 레퍼런스 클럭(ref\_clk)과 동일한 위상을 가지는 내부 클럭(PH<0>)은 노말 멀티 위상 클럭(PH<i>b)과 180°의 위상차를 가지게 되며, 노멀 지연라인(312)의 마지막 차동 지연 셀(NDELi)의 노말 멀티 위상 클럭(PH<i> 및 PH<i>b)과 더미 지연라인(314)의 마지막 차동 지연 셀(DDELi)의 더미 멀티 위상 클럭(PHD<i> 및 PHD<i>b)의 위상차 또한 180°가 된다. 한편, 멀티 위상 클럭이 차동 타입이기 때문에 노말 멀티 위상 클럭(PH<1:i> 및 PH<1:i>b) 및 더미 멀티 위상 클럭(PHD<1:i> 및 PHD<1:i>b)은 내부 클럭(PH<0> 및 PH<0>b)을 기준으로 0~360° 사이의 위상차를 구현할 수 있다.

<44> 여기서, 외부 클럭(CLK, /CLK)의 드uty비가 정확히 50%이기 때문에 레퍼런스 클럭(ref\_clk)과 노말 지연라인(312)의 마지막 차동 지연 셀(NDELi)의 노말 멀티 위상 클럭(PH<i>b)의 위상차가 180°가 되더라도 레퍼런스 클럭(ref\_clk)의 폴링 에지와 멀티 위상 클럭(PH<i>b)의 폴링 에지가 일치하게 된다.

<45> 도 5b는 외부 클럭(CLK, /CLK)의 드uty비가 50%가 아닌 경우를 나타낸 것으로, 여기에서 는 외부 클럭(CLK, /CLK)의 하이 레벨 상태인 구간이 로우 레벨 상태인 구간보다 긴 경우를 가정하여 설명한다.

- <46> 이 경우, 지연고정이 되면 레퍼런스 클럭(ref\_clk)과 노멀 지연라인(312)의 마지막 차동 지연 셀(NDELi)의 노말 멀티 위상 클럭(PH<i>b)은  $180^\circ$ 의 위상차를 가지게 되나, 레퍼런스 클럭(ref\_clk)과 비교되는 노말 멀티 위상 클럭(PH<i>b)은 노말 멀티 위상 클럭(PH<i>)과 하이 레벨 상태 구간 및 로우 레벨 상태 구간이 바뀐 클럭이기 때문에 레퍼런스 클럭(ref\_clk) 혹은 내부 클럭(PH<0>)의 폴링 에지와 노말 멀티 위상 클럭(PH<i>b)의 폴링 에지는 'DE' 만큼의 위상차를 가지게 된다. 이러한 위상차 'DE'는 외부 클럭(CLK, /CLK)의 듀티 에러의 두 배에 해당한다. 이러한 위상차 'DE'는 더미 지연라인(314)의 출력에도 적용된다.
- <47> 도 6은 상기 도 3의 클럭 인터페이스(320)의 상세 블럭 다이어그램이다.
- <48> 도 6을 참조하면, 클럭 인터페이스(320)의 4-위상 멀티플렉서(330)는 2개의 i:1 멀티플렉서(332, 334)와, 2:1 멀티플렉서(336, 338)를 구비한다.
- <49> i:1 멀티플렉서(332)는 FSM(370)으로부터 출력된 i비트의 위상 선택신호(PH\_sel<1:i>)에 따라 정입력단자(in<1:i>) 및 부입력단자(inb<1:i>)에 각각 입력된 노말 멀티 위상 클럭(PH<1:i> 및 PH<1:i>b) 중 하나의 멀티 위상 클럭을 선택적으로 출력한다.
- <50> 또한, i:1 멀티플렉서(334)는 FSM(370)으로부터 출력된 위상 선택신호(PH\_sel<1:i>)에 따라 정입력단자(in<1:i>) 및 부입력단자(inb<1:i>)에 각각 입력된 더미 멀티 위상 클럭(PHD<1:i> 및 PHD<1:i>b) 중 하나의 멀티 위상 클럭을 선택적으로 출력한다.
- <51> 그리고, 2:1 멀티플렉서(336)는 i:1 멀티플렉서(332)의 출력을 제1 및 제2 정입력단자 (in<1> 및 in<2>)와 제1 및 제2 부입력단자(inb<1> 및 inb<2>)로 각각 인가받아 FSM(370)으로부터 출력된 2비트의 홀짝 선택신호(SEL\_odd, SEL\_even)에 따라 선택적으로 출력한다.

- <52> 그리고, 2:1 멀티플렉서(338)는 i:1 멀티플렉서(334)의 출력을 제1 및 제2 정입력단자( $in<1>$  및  $in<2>$ )와 제1 및 제2 부입력단자( $inb<1>$  및  $inb<2>$ )로 각각 인가받아 FSM(370)으로부터 출력된 2비트의 홀짝 선택신호(SEL\_odd, SEL\_even)에 따라 선택적으로 출력한다.
- <53> 결국, 클럭 인터페이스(320)의 4-위상 멀티플렉서(330)는 레퍼런스 지연라인(310)의 노말 지연라인(312)으로부터 출력된 노말 멀티 위상 클럭 중 하나를 선택하여 위상 혼합기(340)의 노말 차동 클럭 쌍(MIXIN, MIXINb)으로 사용되도록 하고, 더미 지연라인(314)으로부터 출력된 더미 멀티 위상 클럭 중 하나를 선택하여 위상 혼합기(340)의 더미 차동 클럭 쌍(MIXIND, MIXINDb)으로 사용되도록 한다.
- <54> 한편, 위상 혼합기(340)는 4-위상 멀티플렉서(330)에서 선택된 노말 차동 클럭 쌍(MIXIN, MIXINb)과 더미 차동 클럭 쌍(MIXIND, MIXINDb)을 각각 혼합하여 두 차동 클럭 쌍의 위상의 중간에 해당하는 위상을 갖는 혼합 차동 클럭 쌍(MIX\_clk, MIX\_clkb)을 출력한다. 여기서, 위상 혼합기(340)는 듀티 보정 증폭기(360)로부터 출력된 듀티 제어전압(Dcc\_Vctrl, Dcc\_Vctrlb)에 제어 받는다.
- <55> 도 7은 상기 도 6의 i:1 멀티플렉서(332)의 회로 구성을 예시한 도면으로서, 정전류원을 이용한 아날로그 선택기로 멀티플렉서를 구현하는 경우를 예로 들어 설명한다.
- <56> 도 7을 참조하면, i:1 멀티플렉서(332)는 i개의 단위 선택부(333)와 각 단위 선택부(333)의 출력단자에 공통으로 접속된 PMOS 로드부(331)를 구비한다.
- <57> 첫번째 단위 선택부(333)의 경우, 바이어스 전압(Vbias)을 게이트 입력으로 하여 정전류원으로 동작하는 엔모스 트랜지스터(M1)와, 엔모스 트랜지스터(M1)의 드레인에 그 소오스가 연결되고 정입력단( $in<1>$ ) 및 부입력단( $inb<1>$ )에 그 게이트가 연결된 엔모스 트랜지스터(M2 및

M3)와, 엔모스 트랜지스터(M2 및 M3)와 출력단 사이에 연결되며 위상 선택신호(PH\_sel<1>)를 게이트 입력으로 하는 엔모스 트랜지스터(M4 및 M5)를 구비한다. 이때, 정입력단(in<1>) 및 부입력단(inb<1>)에는 노말 멀티 위상 클럭(PH<1> 및 PH<1>b)이 인가된다.

<58> 한편, 나머지 단위 선택부 역시 전술한 첫번째 단위 선택부(333)의 구성과 동일하며, 더 미 멀티 위상 클럭을 입력 받는 i:1 멀티플렉서(334) 역시 전술한 i:1 멀티플렉서(332)의 구성과 동일하게 구현할 수 있다.

<59> 도 8은 상기 도 6의 위상 혼합기(340)의 회로 구성을 예시한 도면이다.

<60> 도 8을 참조하면, 위상 혼합기(340)는 노말 차동 클럭 쌍(MIXIN, MIXINb)을 입력으로 하며 고정 바이어스 전압(Vfbias)에 의해 바이어스 되는 제1 소오스-커플드 페어(342)와, 더미 차동 클럭 쌍(MIXIND, MIXINDb)을 입력으로 하며 고정 바이어스 전압(Vfbias)에 의해 바이어스 되는 제2 소오스-커플드 페어(343)와, 제1 및 제2 소오스-커플드 페어(342 및 343)의 출력단에 공통으로 접속되어 차동증폭기를 구현하기 위한 PMOS 로드부(341)와, 듀티 제어전압(Dcc\_Vctrl, Dcc\_Vctrlb)을 입력으로 하며, 고정 바이어스 전압(Vfbias)에 의해 바이어스 되는 차동증폭부(344)와, 차동증폭부(344)의 차동 전류를 미러링하여 외부 클럭(CLK, /CLK)의 듀티 비에 따라 제1 및 제2 소오스-커플드 페어(342 및 343)의 싱크 전류를 조절하기 위한 바이어스 조절부(345)를 구비한다.

<61> 우선, 제1 소오스-커플드 페어(342)는 고정 바이어스 전압(Vfbias)를 게이트 입력으로 하는 전류원 엔모스 트랜지스터(M13)와, 엔모스 트랜지스터(M13)의 소오스와 출력단(MIX\_clk, MIX\_clk) 사이에 접속되며, 노말 차동 클럭 쌍(MIXIN, MIXINb)을 게이트 입력으로 하는 차동 입력 엔모스 트랜지스터(M11, M12)를 구비한다.

- <62> 또한, 제2 소오스-커플드 페어(342)는 고정 바이어스 전압(Vfbias)를 게이트 입력으로 하는 전류원 엔모스 트랜지스터(M17)와, 엔모스 트랜지스터(M17)의 소오스와 출력단(MIX\_clkb, MIX\_clk) 사이에 접속되며, 더미 차동 클럭 쌍(MIXIND, MIXINDb)을 게이트 입력으로 하는 차동 입력 엔모스 트랜지스터(M15, M16)를 구비한다.
- <63> 또한, 차동증폭부(344)는 고정 바이어스 전압(Vfbias)를 게이트 입력으로 하는 전류원 엔모스 트랜지스터(M25)와, 엔모스 트랜지스터(M25)의 소오스에 접속되며, 듀티 제어전압 (Dcc\_Vctrl, Dcc\_Vctrlb)을 입력으로 하는 차동 입력 엔모스 트랜지스터(M23, M24)와, 차동 입력 엔모스 트랜지스터(M23, M24)에 각각 접속된 다이오드 커플드 피모스 트랜지스터(M19, M21)를 구비한다.
- <64> 그리고, 바이어스 조절부(345)는 다이오드 커플드 피모스 트랜지스터(M19, M21)에 흐르는 전류(IA, IB)를 각각 미러링하기 위한 피모스 트랜지스터(M20, M22)와, 피모스 트랜지스터(M20, M22)에 흐르는 미러 전류의 전류 싱크 역할을 하고 각 미러 전류를 그에 대응하는 전압으로 미러링하기 위한 다이오드 커플드 엔모스 트랜지스터(M26, M27)와, 제1 소오스-커플드 페어(342)의 전류원 엔모스 트랜지스터(M13)의 소오스에 병렬로 접속된 전류원 엔모스 트랜지스터(M14)와, 제2 소오스-커플드 페어(343)의 전류원 엔모스 트랜지스터(M17)의 소오스에 병렬로 접속된 전류원 엔모스 트랜지스터(M18)와, 전류원 엔모스 트랜지스터(M14)의 게이트에 A단자로, 전류원 엔모스 트랜지스터(M18)의 게이트에 B단자로, 다이오드 커플드 엔모스 트랜지스터(M26)의 게이트에 C단자로, 다이오드 커플드 엔모스 트랜지스터(M27)의 게이트에 D단자로 각각 접속되며, 바이어스 선택 신호(sel\_bias)에 응답하여 A, B단자와 C, D단자간에 2:2 스위칭 동작을 수행하기 위한 바이어스 스위치(346)를 구비한다.
- <65> 도 9는 상기 도 3의 듀티 보정 증폭기(360)의 회로 구성을 예시한 도면이다.

- <66> 도 9를 참조하면, 듀티 보정 증폭기(360)는 파인 지연라인(350)의 출력 클럭(iclk, iclkb)을 차동 입력으로 하는 차동증폭부(362)와, 차동증폭부(362)의 부출력단에 흐르는 전류를 미러링하기 위한 제1 전류 미러링부(364)와, 차동증폭부(362)의 정출력단에 흐르는 전류를 미러링하기 위한 제2 전류 미러링부(365)와, 제1 및 제2 전류 미러링부(364, 365) 사이에 크로스 접속된 제1 및 제2 캐스케이드 로드(368, 369)와, 제1 및 제2 미러링부(364, 365)의 출력 전류를 충전하여 듀티 제어전압(Dcc\_Vctrl, Dcc\_Vctrlb)을 제공하기 위한 제1 및 제2 캐패시터(C1, C2)를 구비한다.
- <67> 여기서, 차동증폭부(362)는 접지전원에 연결된 정전류원(제1 및 제2 캐패시터(C1, C2)의 캐패시턴스와 트레이드-오프될 수 있는 전류량 Itot를 제공함)과, 정전류원과 출력단 사이에 접속되어 파인 지연 라인 (350)의 출력 클럭(iclk, iclkb)을 게이트 입력으로 하는 차동 입력 엔모스 트랜지스터(M37, M38)와, 차동 입력 엔모스 트랜지스터(M37, M38)와 공급전원 사이에 각각 접속되어 로드로 작용하는 다이오드 커플드 피모스 트랜지스터(M33, M34)를 구비한다.
- <68> 또한, 제1 전류 미러링부(364)는 공급전원과 제1 캐스케이드 로드(368) 사이에 접속되며, 차동증폭부(362)의 부출력을 게이트 입력으로 하는 피모스 트랜지스터(M31)와, 공급전원과 제2 캐스케이드 로드(369) 사이에 접속되며, 차동증폭부(362)의 부출력을 게이트 입력으로 하는 피모스 트랜지스터(M32)를 구비한다.
- <69> 또한, 제2 전류 미러링부(365)는 공급전원과 제1 캐스케이드 로드(368) 사이에 접속되며, 차동증폭부(362)의 정출력을 게이트 입력으로 하는 피모스 트랜지스터(M35)와, 공급전원과 제2 캐스케이드 로드(369) 사이에 접속되며, 차동증폭부(362)의 정출력을 게이트 입력으로 하는 피모스 트랜지스터(M36)를 구비한다.

<70> 그리고, 제1 캐패시터(C1)는 피모스 트랜지스터(M31)와 제1 캐스케이드 로드(368)의 접점과 접지전원 사이에 접속되며, 제2 캐패시터(C2)는 피모스 트랜지스터(M36)와 제2 캐스케이드 로드(369) 사이의 노드와 접지전원 사이에 접속된다. 한편, 제1 및 제2 캐패시터(C1, C2)는 실질적으로 동일한 용량을 가진다.

<71> 이하, 전술한 도면을 참조하여 본 발명의 일 실시예에 따른 아날로그 DLL의 동작을 살펴본다.

<72> 우선, 클럭 버퍼(300)는 외부 클럭(CLK, /CLK)을 버퍼링하여 내부 클럭(PH<0>, PH<0>b)과 레퍼런스 클럭(ref\_clk)을 생성한다. 한편, 레퍼런스 지연라인(310)은 내부 클럭(PH<0>, PH<0>b)을 입력 받아 노말 멀티 위상 클럭(PH<1:i>, PH<1:i>b) 및 더미 멀티 위상 클럭(PHD<1:i>, PHD<1:i>b)을 출력한다. 이어서, 레퍼런스 제어부(315) 내부의 위상 검출기에서 레퍼런스 클럭(ref\_clk)과 노말 멀티 위상 클럭(PH<i>b)을 비교하고, 그 결과에 따라 차지 펌프 및 루프 필터를 통해 제어 전압(Vc)을 생성하여 레퍼런스 지연라인(310)을 구성하는 차동 지연 셀((NDEL1, NDEL2, …, NDELi 및 DDEL1, DDEL2, …, DDELi))의 지연량을 조절한다.

<73> 레퍼런스 루프는 지연고정이 이루어질 때까지 상기와 같은 레퍼런스 지연라인(310)의 지연량 조절 동작을 반복적으로 수행한다. 레퍼런스 루프의 지연고정은 레퍼런스 클럭(ref\_clk)과 노말 멀티 위상 클럭(PH<i>b)의 위상이  $180^\circ$ 의 위상차를 갖는다는 것을 의미한다.

<74> 상기와 같이 레퍼런스 루프의 지연고정이 이루어지면 FSM(370)은 레퍼런스 지연라인(310)으로부터 출력된 노말 멀티 위상 클럭 쌍(예컨대, PH<1>, PH<1>b) 및 더미 멀티 위상 클럭 쌍(PHD<1>, PHD<1>b)을 차례로 파인 지연라인(350)으로 전달한다. 그리고, 파인 지연라인(350)에 전달된 클럭 쌍은 지연 모델(354)을 거쳐 피드백 클럭(fb\_clk)으로 FSM(370) 내의 비

교기에 차례로 전달되고, FSM(370)은 어떤 클럭 쌍이 레퍼런스 클럭(ref\_clk)에 가장 근접한 위상을 갖는지를 검출하고 제어 신호를 발생시켜 클럭 인터페이스(320)의 4-위상 멀티플렉서(330)에서 해당 클럭 쌍이 고정적으로 선택되어 출력되도록 한다. 이때, 4-위상 멀티플렉서(330)에서 선택되어 출력되는 클럭 쌍의 폴링 에지에서의 위상차는 전술한 바와 같이 외부 클럭(CLK, /CLK)의 듀티 에러의 2배에 해당하며, 클럭 인터페이스(320)의 위상 혼합기(340)는 4-위상 멀티플렉서(330)의 출력 중 MIXIN과 MIXIND 그리고, MIXINb와 MIXINDb의 위상의 중간에 해당하는 위상을 갖는 혼합 차동 클럭 쌍(MIX\_clk, MIX\_clkb)을 출력한다.

<75>        도 8을 참조하면, 초기 동작시에는 듀티 보정 증폭기(360)가 동작하지 않기 때문에 제1 및 제2 소오스-커플드 페어(342, 343)에 접속된 전류원 엔모스 트랜지스터(M14, M18)는 동작하지 않으므로 제1 및 제2 소오스-커플드 페어(342, 343)는 동일한 전류(Iref)에 의해 MIXIN과 MIXIND 그리고, MIXINb와 MIXINDb의 폴링 에지를 혼합하여 거의 50%의 듀티비를 가지는 혼합 차동 클럭 쌍(MIX\_clk, MIX\_clkb)을 파인 지연라인(350)으로 전달하고, 지연량이 조절된 파인 지연라인(350)을 통하여 출력된 차동 클럭 쌍(iclk, iclkb)은 듀티 보정 증폭기(360)에 입력된다.

<76>        그러나, 외부 클럭(CLK, /CLK)의 듀티 에러가 증가하는 경우에는 위상 혼합기(340)에서 혼합되는 클럭의 폴링 에지가 중첩되는 부분이 점점 줄어들어 비선형 특성에 의해 어느 정도의 듀티 에러가 계속 존재하게 된다.

<77>        본 발명에서는 이처럼 외부 클럭(CLK, /CLK)의 듀티 에러가 큰 경우에 존재할 수 있는 듀티 에러를 제거하기 위하여 듀티 보정 증폭기(360)를 추가로 배치하였으며, 그로부터 출력된 듀티 제어전압(Dcc\_Vctrl, Dcc\_Vctrlb)을 이용하여 위상 혼합기(340) 내의 제1 및 제2 소오스-

커플드 페어(342, 343)의 바이어스를 변화시킴으로써 고정된 혼합률을 조절하여 미세한 듀티 에러를 제거할 수 있게 된다.

<78> 도 9를 참조하면, 파인 지연라인(350)을 통과한 차동 클럭 쌍(iclk, iclkb)이 듀티 보정 증폭기(360)의 차동증폭부(362)에 입력되면, 차동증폭부(362)의 부출력단에는 클럭 iclk의 하이 레벨 구간에 대응하는 전류(IX)가 흐르고, 차동증폭부(362)의 정출력단에는 클럭 iclkb의 하이 레벨 구간에 대응하는 전류(IY)가 흐른다. 한편, 전류 IX는 제1 전류 미러링부(364)에서 미러링되어  $k(IX-IY)$ 만큼의 전류를 제1 캐패시터(C1)에 충전하게 되고, 전류 IY는 제2 전류 미러링부(365)에서 미러링되어  $k(IY-IX)$ 만큼의 전류를 제2 캐패시터(C2)에 충전하게 된다. 여기서,  $k$ 는 차동증폭부(362)의 이득에 대응하는 상수이다.

<79> 만일, 클럭 iclk 및 iclkb의 듀티비가 동일한 경우에는 제1 및 제2 캐패시터(C1, C2)에 충전되는 전류가 동일하므로 듀티 제어전압(Dcc\_Vctrl 및 Dcc\_Vctrlb)은 동일할 것이다. 그러나, 미세한 듀티 에러가 존재하는 경우에는 듀티 제어전압(Dcc\_Vctrl 및 Dcc\_Vctrlb)에도 차이가 존재하게 된다.

<80> 다시 도 8을 참조하면, 이러한 듀티 제어전압(Dcc\_Vctrl 및 Dcc\_Vctrlb)은 위상 혼합기(340) 내의 차동증폭부(344)에 인가되어 전류 IA 및 IB를 결정하고, 이 전류(IA 및 IB)는 바이어스 조절부(345)에서 미러링되어 바이어스 스위치(346)의 C단자 및 D 단자의 전압을 결정한다. 한편, 바이어스 스위치(346)는 바이어스 선택신호(sel\_bias)에 응답하여 A, B단자와 C, D단자를 선택적으로 연결하게 된다. 바이어스 선택 신호(sel\_bias)는 FSM(370) 내의 비교기에서 파악된 외부 클럭(CLK, /CLK)의 듀티 에러의 방향성(듀티 에러가 50%보다 큰 방향인지 50%보다 작은 방향

인지)을 반영하기 위한 신호로써, 이 신호에 따라 바이어스 스위치(346)의 연결 상태가 달라져서 제1 및 제2 소오스-커플드 페어(342 및 343)에 접속된 전류원 엔모스 트랜지스터(M14 및 M18)의 바이어스를 변화시킨다. 결국, 고정 바이어스 전압(Vbias)에 의해 하프 혼합으로 고정된 혼합량을 조절할 수 있으며, 이에 따라 미세한 듀티 에러를 제거할 수 있다.

<81>        도 10a 및 도 10b는 외부 클럭(CLK)의 듀티 에러의 방향성과 위상 혼합기(340)의 입력 클럭(MIXIN, MIXIND)의 폴링 에지의 위상 관계에 따른 바이어스 스위치(346)의 선택예를 설명하기 위한 파형도이다.

<82>        우선, 도 10a는 외부 클럭(CLK)의 듀티 에러가 듀티비 50%보다 큰 방향으로 발생한 경우를 나타낸 것이다.

<83>        이때, 위상 혼합기(340)의 입력 클럭 MIXIN의 폴링 에지가 MIXIND의 폴링 에지보다 위상이 느린 경우(A)에는 바이어스 스위치(346)의 A단자와 C단자를 연결하고, B단자와 D단자를 연결하도록 바이어스 선택신호(sel\_bias)를 선택한다.

<84>        반면, 위상 혼합기(340)의 입력 클럭 MIXIN의 폴링 에지가 MIXIND의 폴링 에지보다 위상이 빠른 경우(A)에는 바이어스 스위치(346)의 A단자와 D단자를 연결하고, B단자와 C단자를 연결하도록 바이어스 선택신호(sel\_bias)를 선택한다.

<85>        다음으로, 도 10b는 외부 클럭(CLK)의 듀티 에러가 듀티비 50%보다 작은 방향으로 발생한 경우를 나타낸 것이다.

<86>        이때, 위상 혼합기(340)의 입력 클럭 MIXIN의 폴링 에지가 MIXIND의 폴링 에지보다 위상이 느린 경우(A)에는 바이어스 스위치(346)의 A단자와 D단자를 연결하고, B단자와 C단자를 연결하도록 바이어스 선택신호(sel\_bias)를 선택한다.

<87> 반면, 위상 혼합기(340)의 입력 클럭 MIXIN의 폴링 에지가 MIXIND의 폴링 에지보다 위상이 빠른 경우(A)에는 바이어스 스위치(346)의 A단자와 C단자를 연결하고, B단자와 D단자를 연결하도록 바이어스 선택신호(sel\_bias)를 선택한다.

<88> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

<89> 예컨대, 전술한 실시예에서는 외부 클럭의 라이징 에지 및 폴링 에지에서 데이터를 출력하는 시스템을 일례로 들어 설명하였으나, 본 발명은 외부 클럭의 라이징 에지 또는 폴링 에지에서만 데이터를 출력하는 시스템에도 적용할 수 있다.

### 【발명의 효과】

<90> 전술한 본 발명은 초기 지연고정 시간을 감소시키고, 듀티 에러 보상 마진을 증가시켜 동기식 반도체 메모리를 비롯한 반도체 소자의 안정된 동작을 확보할 수 있다.

**【특허청구범위】****【청구항 1】**

내부 클럭을 입력 받아 노말 멀티 위상 클럭과 더미 멀티 위상 클럭을 출력하기 위한 레퍼런스 지연라인;

상기 레퍼런스 지연라인과 함께 레퍼런스 루프를 이루며, 레퍼런스 클럭과 마지막 멀티 위상 클럭의 위상을 비교하여 두 클럭의 위상차가  $180^\circ$ 가 되도록 상기 레퍼런스 지연라인의 지연량을 조절하기 위한 레퍼런스 제어 수단;

지연고정된 상기 레퍼런스 지연라인으로부터 출력된 클럭 중 하나의 노말 멀티 위상 클럭 및 더미 멀티 위상 클럭을 선택하고 선택된 두 클럭의 위상을 혼합하여 듀티 보정을 수행하기 위한 클럭 인터페이스;

상기 클럭 인터페이스로부터 출력된 클럭을 입력으로 하는 파인 지연라인;

상기 파인 지연라인의 출력에 대해 실제 클럭 경로의 지연값을 모사하기 위한 지연 모델;

상기 지연 모델 및 상기 파인 지연라인과 함께 파인 루프를 이루며, 상기 지연 모델로부터 출력된 피드백 클럭과 상기 레퍼런스 클럭을 비교하여 상기 파인 지연라인의 지연량을 제어하기 위한 파인 제어 수단;

상기 레퍼런스 클럭 및 상기 피드백 클럭을 인가 받아 상기 클럭 인터페이스를 제어하기 위한 제어 수단; 및

지연고정된 상기 파인 지연라인의 출력 클럭을 입력 받아 상기 클럭 인터페이스의 듀티 보정 동작을 보조하기 위한 듀티 보정 증폭 수단

를 구비하는 아날로그 지연고정루프.

### 【청구항 2】

제1항에 있어서,

상기 레퍼런스 지연라인은,

상기 내부 클럭을 입력으로 하며, 직렬 연결된 다수의 차동 지연 셀을 구비하여 노말 멀티 위상 클럭을 생성하기 위한 노말 지연라인과,

상기 노말 지연라인의 마지막 노말 멀티 위상 클럭을 크로스 입력 받으며, 직렬 연결된 다수의 차동 지연 셀을 구비하는 더미 지연라인을 구비하는 것을 특징으로 하는 아날로그 지연 고정루프.

### 【청구항 3】

제1항에 있어서,

상기 클럭 인터페이스는,

상기 제어 수단에 제어 받아 상기 레퍼런스 지연라인으로부터 출력된 클럭 중 하나의 노말 멀티 위상 클럭 및 더미 멀티 위상 클럭을 선택하기 위한 위상 다중화 수단과,

상기 위상 다중화 수단에서 선택된 두 클럭의 위상을 혼합하기 위한 위상 혼합 수단을 구비하는 것을 특징으로 하는 아날로그 지연고정루프.

**【청구항 4】**

제3항에 있어서,

상기 위상 다중화 수단은,

상기 제어 수단으로부터 출력된 위상 선택신호에 응답하여 상기 노말 멀티 위상 클럭 중 하나의 멀티 위상 클럭을 선택적으로 출력하기 위한 제1 멀티플렉서;

상기 위상 선택신호에 응답하여 상기 더미 멀티 위상 클럭 중 하나의 멀티 위상 클럭을 선택적으로 출력하기 위한 제2 멀티플렉서;

상기 제어 수단으로부터 출력된 홀짝 선택신호에 응답하여 상기 제1 멀티플렉서의 출력을 선택적으로 출력하기 위한 제3 멀티플렉서; 및

상기 홀짝 선택신호에 응답하여 상기 제2 멀티플렉서의 출력을 선택적으로 출력하기 위한 제4 멀티플렉서를 구비하는 것을 특징으로 하는 아날로그 지연고정루프.

**【청구항 5】**

제3항에 있어서,

상기 위상 혼합 수단은,

상기 위상 다중화 수단으로부터 출력된 노말 차동 클럭 쌍을 입력으로 하며, 고정 전류원을 가지는 제1 소오스-커플드 페어;

상기 위상 다중화 수단으로부터 출력된 더미 차동 클럭 쌍을 입력으로 하며, 고정 전류원을 가지는 제2 소오스-커플드 페어;

제1 및 제2 소오스-커플드 페어의 출력단에 공통으로 접속되어 차동증폭을 구현하기 위한 로드부;

상기 듀티 조정 증폭 수단으로부터 출력된 듀티 제어전압을 입력으로 하는 제1 차동증폭부; 및

상기 제1 차동증폭부로부터 출력된 차동 전류를 미러링하여 외부 클럭의 듀티비에 따라 상기 제1 및 제2 소오스-커플드 페어의 싱크 전류를 조절하기 위한 바이어스 조절부를 구비하는 것을 특징으로 하는 아날로그 지연고정루프.

#### 【청구항 6】

제5항에 있어서,

상기 바이어스 조절부는,

상기 제1 차동증폭부로부터 출력된 상기 차동 전류를 미러링하기 위한 제1 및 제2 모스 트랜지스터;

상기 제1 및 제2 모스 트랜지스터에 흐르는 미러 전류의 전류 싱크 역할을 하고, 각 미러 전류를 그에 대응하는 전압으로 미러링하기 위한 제3 및 제4 모스 트랜지스터;

상기 제1 및 제2 소오스-커플드 페어의 고정 전류원 각각에 병렬로 접속되어 상기 제1 및 제2 소오스-커플드 페어의 바이어스를 변경하기 위한 제5 및 제6 모스 트랜지스터; 및

상기 제어 수단으로부터 출력된 바이어스 선택신호에 응답하여 상기 제3 및 제4 모스 트랜지스터의 게이트와 제5 및 제6 모스 트랜지스터의 게이트 간의 스위칭을 수행하기 위한 스위

칭 수단을 구비하는 것을 특징으로 하는 아날로그 지연고정루프.

### 【청구항 7】

제5항 또는 제6항에 있어서,

상기 듀티 보정 증폭 수단은,

상기 파인 지연라인의 출력 클럭을 차동 입력으로 하는 제2 차동증폭부;

상기 제2 차동증폭부의 부출력단에 흐르는 전류를 미러링하기 위한 제1 전류 미러링부;

상기 제2 차동증폭부의 정출력단에 흐르는 전류를 미러링하기 위한 제2 전류 미러링부;

상기 제1 및 제2 전류 미러링부 사이에 크로스 접속된 제1 및 제2 캐스케이드 로드;

상기 제1 및 제2 미러링부의 출력 전류를 충전하여 상기 듀티 제어전압을 제공하기 위한 제1 및 제2 캐패시터를 구비하는 것을 특징으로 하는 아날로그 지연고정루프.

### 【청구항 8】

제4항에 있어서,

상기 제1 및 제2 멀티플렉서는,

바이어스 전압을 게이트 입력으로 하는 전류원용 모스 트랜지스터와, 해당 비트의 정 멀티 위상 클럭 및 부 멀티 위상 클럭을 게이트 입력으로 하는 차동 입력용 모스 트랜지스터 쌍과, 상기 위상 선택신호를 게이트 입력으로 하는 출력 스위칭용 모스 트랜지스터 쌍을 구비하는 다수의 단위 선택부와,

상기 다수의 단위 선택부의 출력단자에 공통으로 접속된 로드부를 구비하는 것을 특징으로 하는 아날로그 지연고정루프.

#### 【청구항 9】

제7항에 있어서,  
상기 제1 및 제2 캐패시터는 실질적으로 동일한 캐패시턴스를 가지는 것을 특징으로 하는 아날로그 지연고정루프.

#### 【청구항 10】

제1항에 있어서,  
상기 레퍼런스 클럭은 상기 내부 클럭과 실질적으로 동일한 위상을 가지는 것을 특징으로 하는 아날로그 지연고정루프.

#### 【청구항 11】

제10항에 있어서,  
상기 레퍼런스 클럭으로 상기 내부 클럭을 사용하는 것을 특징으로 하는 아날로그 지연고정루프.

#### 【청구항 12】

제1항에 있어서,

상기 레퍼런스 지연라인은,

상기 레퍼런스 클럭과 상기 마지막 멀티 위상 클럭의 위상을 비교하기 위한 위상

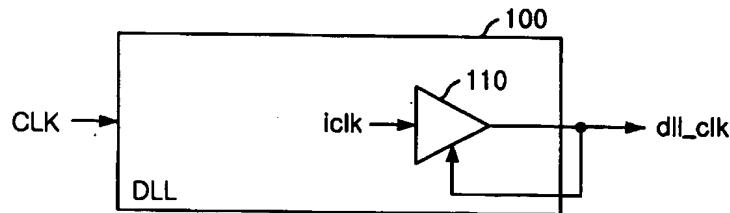
검출기;

상기 위상 검출기의 출력을 입력으로 하는 차지 펌프; 및

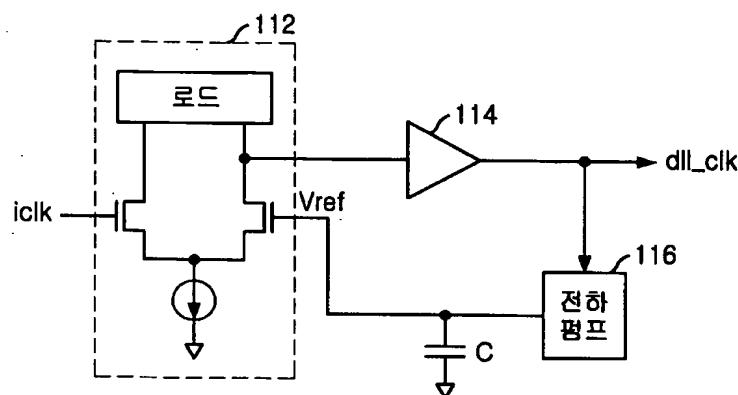
캐패시터를 구비하여, 상기 차지 펌프의 출력을 입력으로 하는 루프 필터를 구비하는 것  
을 특징으로 하는 아날로그 지연고정루프.

## 【도면】

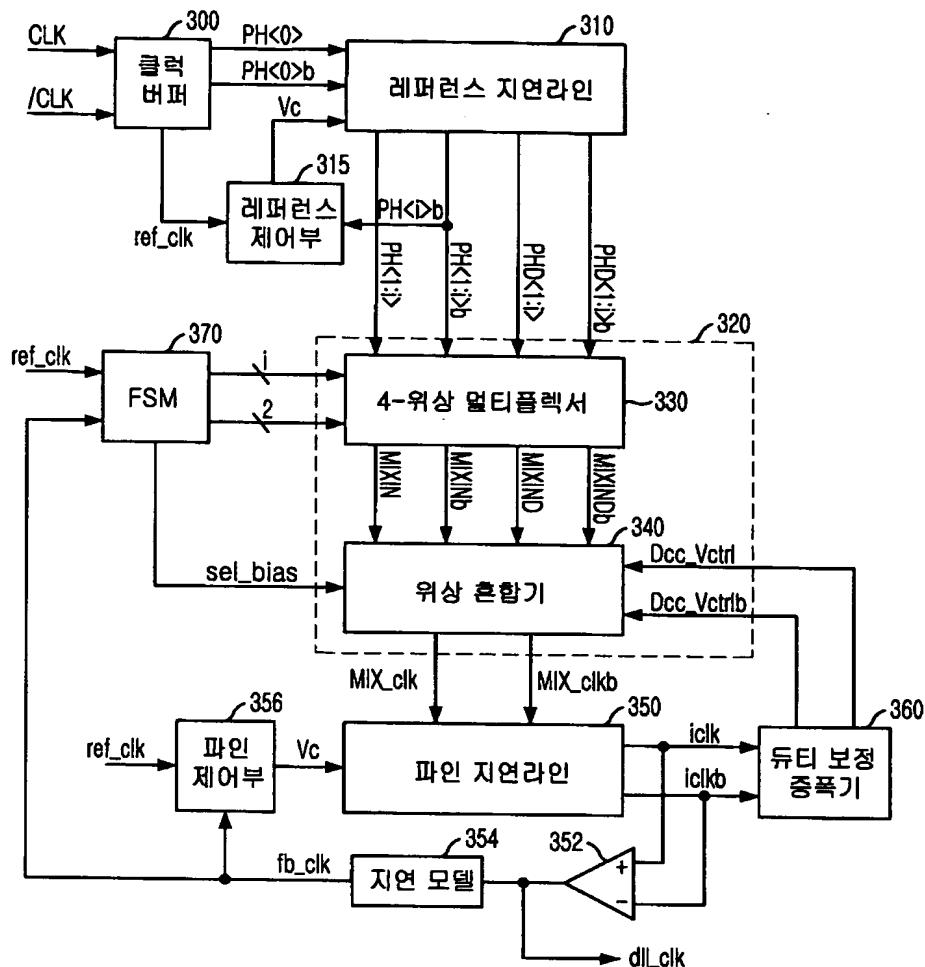
【도 1】



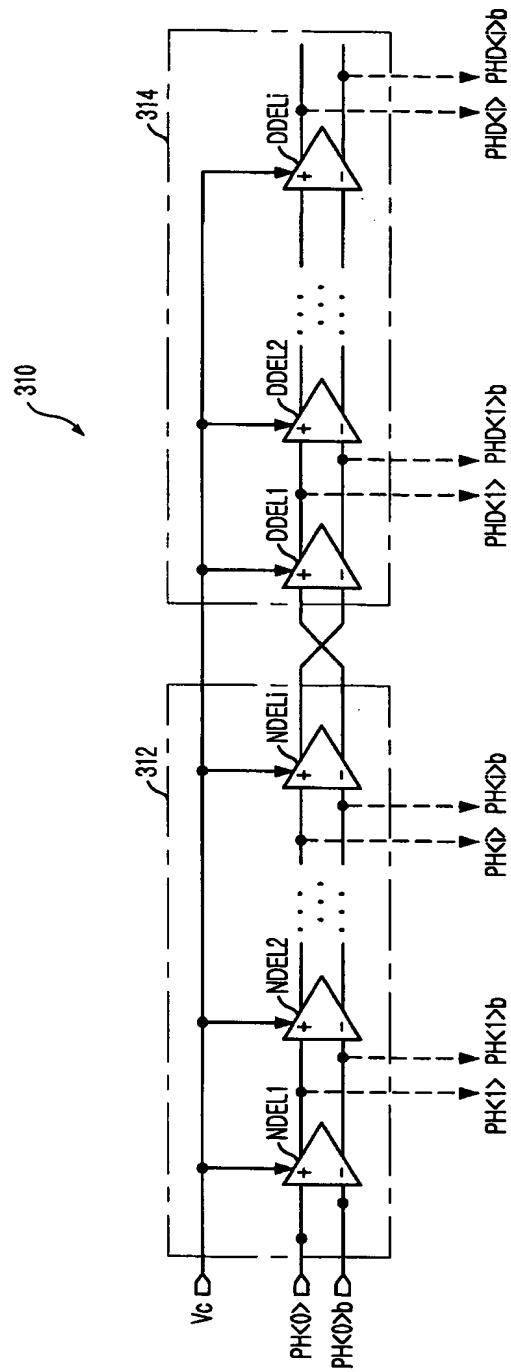
【도 2】



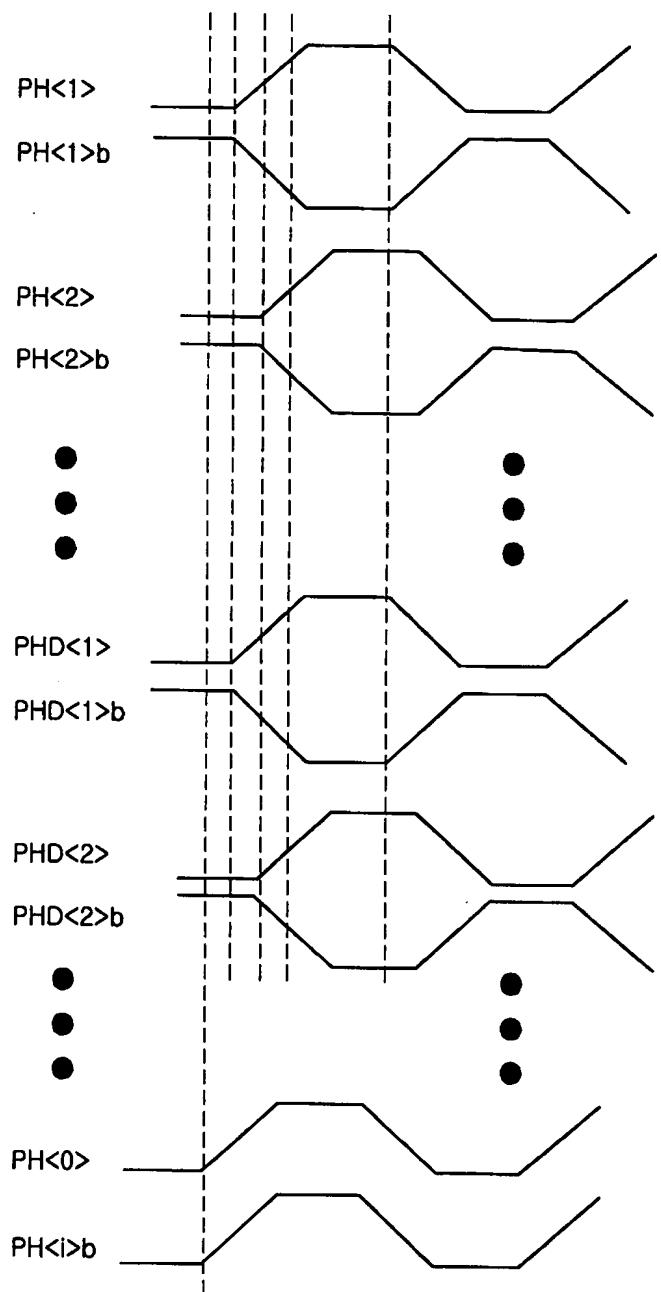
【도 3】



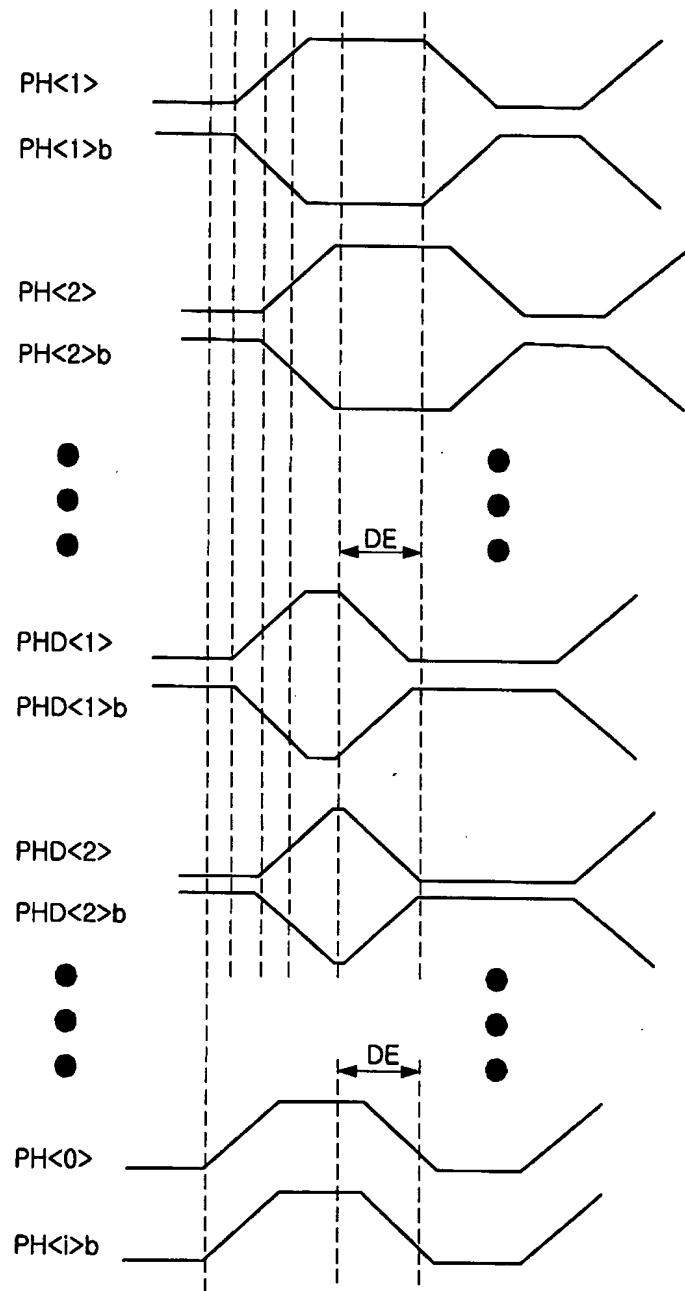
【도 4】



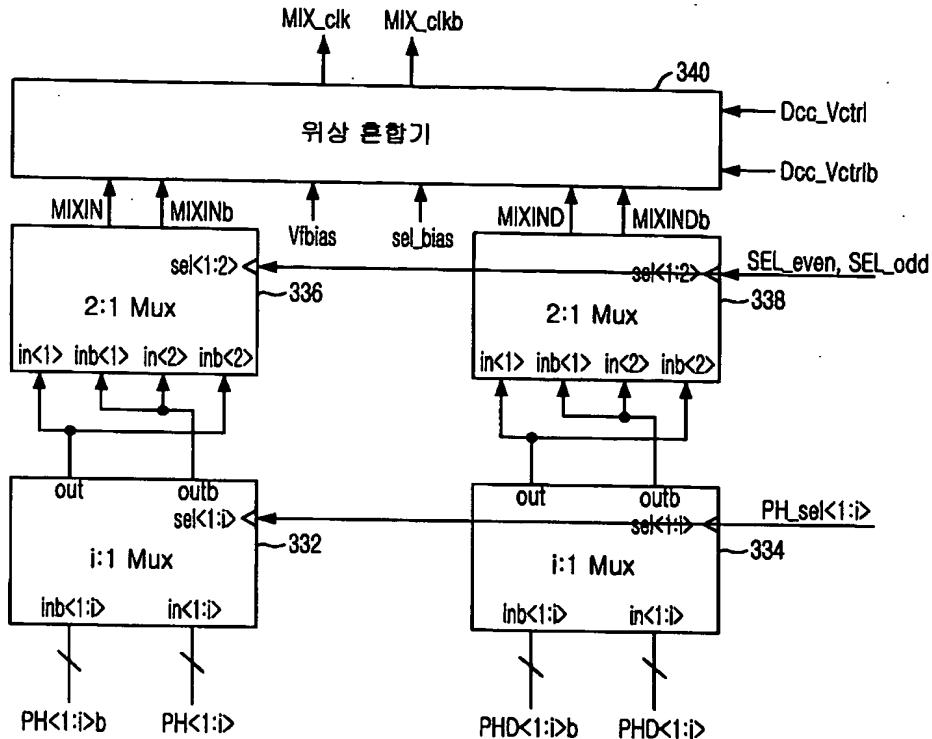
【도 5a】



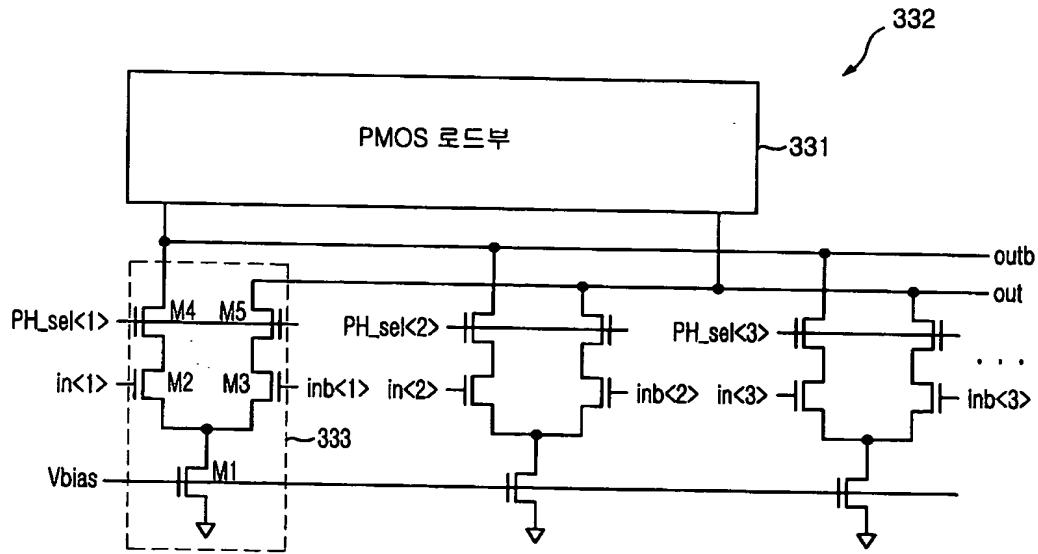
【도 5b】



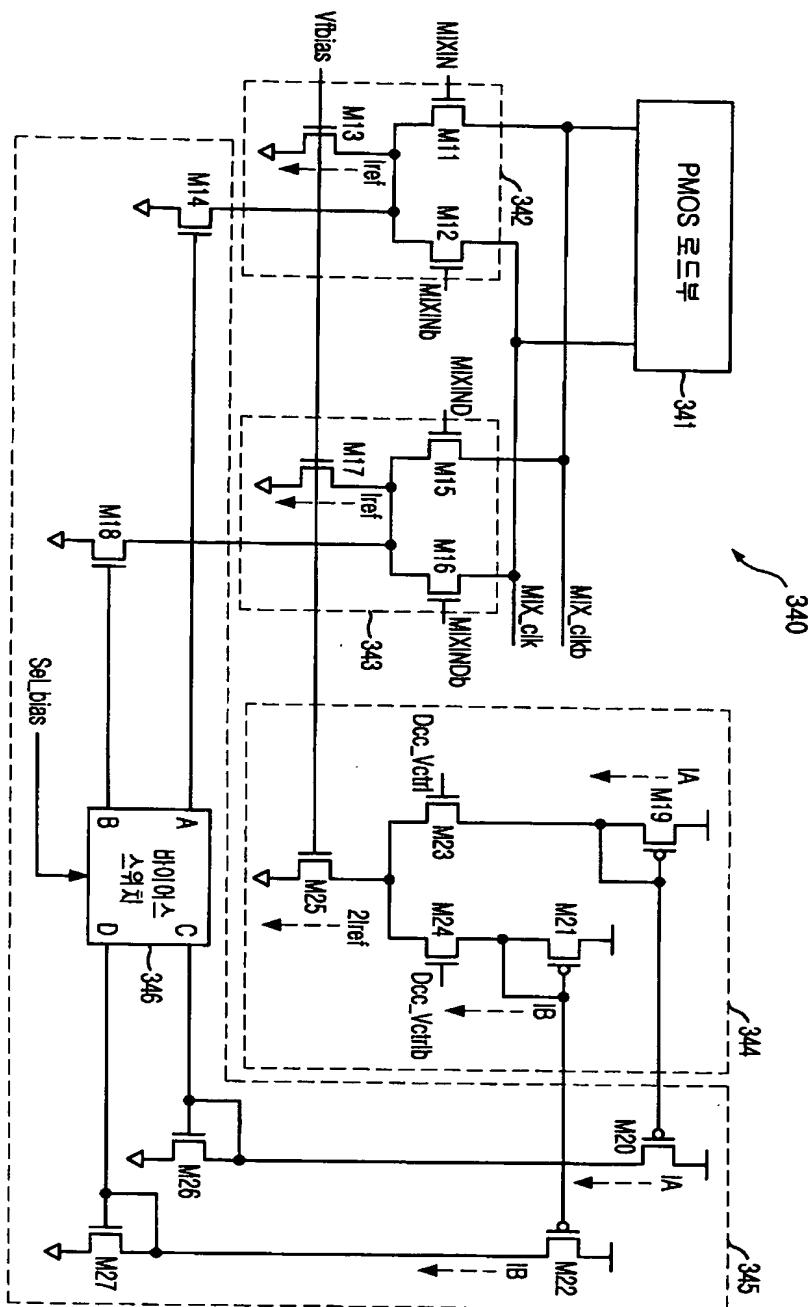
【도 6】



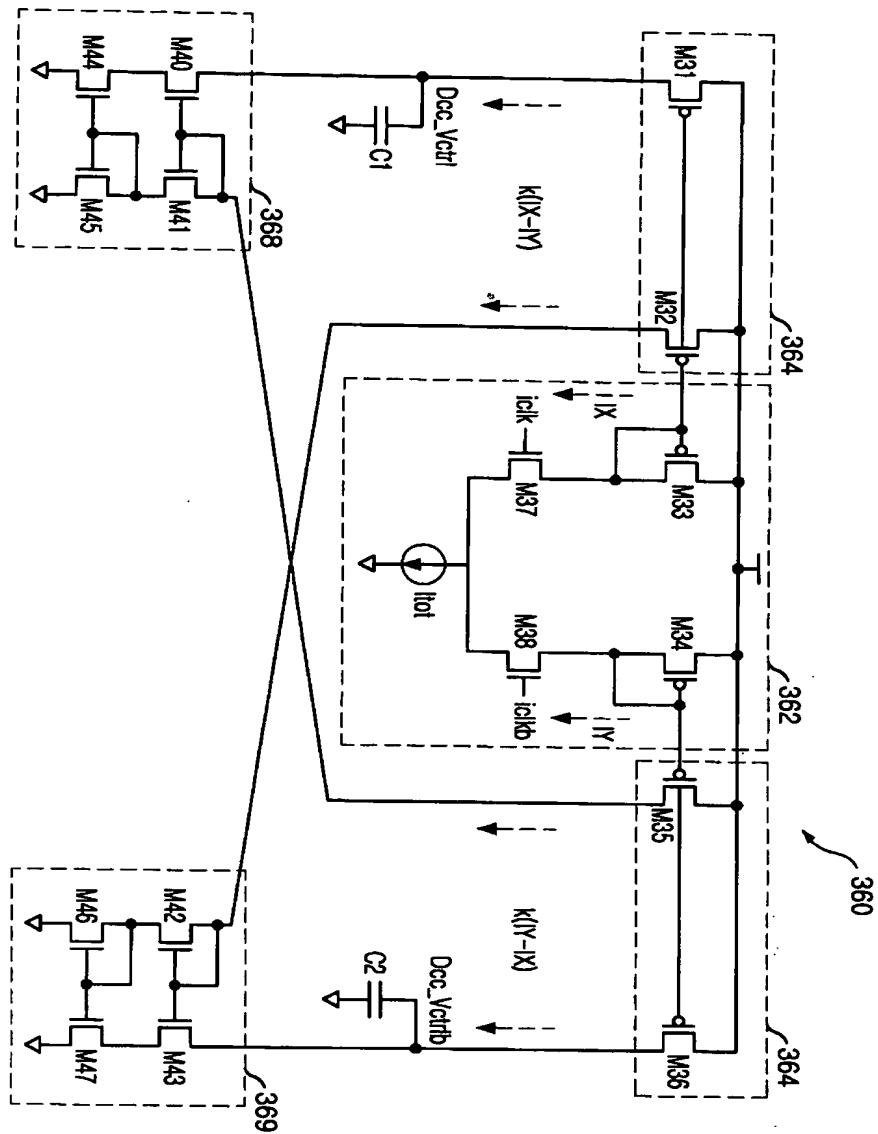
【도 7】



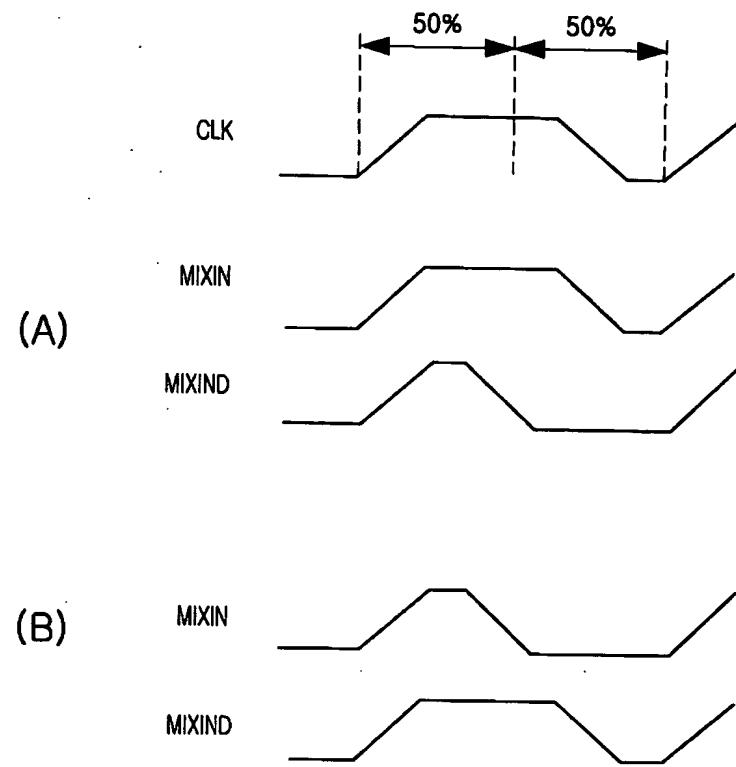
【도 8】



【도 9】



【도 10a】



【도 10b】

